

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-112753

(43)Date of publication of application : 23.04.1999

---

(51)Int.Cl. H04N 1/21  
G06T 1/20

---

(21)Application number : 09-269444 (71)Applicant : RICOH CO LTD

(22)Date of filing : 02.10.1997 (72)Inventor : SAKAGAMI HIROFUMI

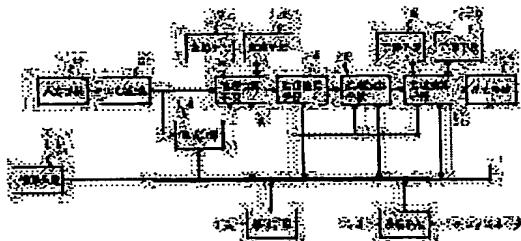
---

## (54) PICTURE PROCESSOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To shorten the developing period of a picture processing part constituting a color copying machine and to facilitate the change of an internal logic.

**SOLUTION:** Inputted and log-converted picture data is divided into plural bands and alternately written in storage means 7 and 8. In reading, picture data of each band is divided in a main scanning direction and a logic arithmetic means 3 to 6 pipeline-processes each divided data to write data for the portion of one band to a storing means 9. At the same time when data for the portion of one band is outputted to a printer. Next pipeline-processed divided data is written in a storage means 10. At the time of realizing the copying machine, logic information realizing a filter circuit, a color correction circuit, etc., is set to the logic arithmetic means from a storage means 12.



(51) Int. C1. 6  
 H 0 4 N 1/21  
 G 0 6 T 1/20

識別記号

F I  
 H 0 4 N 1/21  
 G 0 6 F 15/66

L

審査請求 未請求 請求項の数 5

O L

(全7頁)

(21) 出願番号 特願平9-269444

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(22) 出願日 平成9年(1997)10月2日

(72) 発明者 阪上 弘文

東京都大田区中馬込1丁目3番6号 株式会  
社リコー内

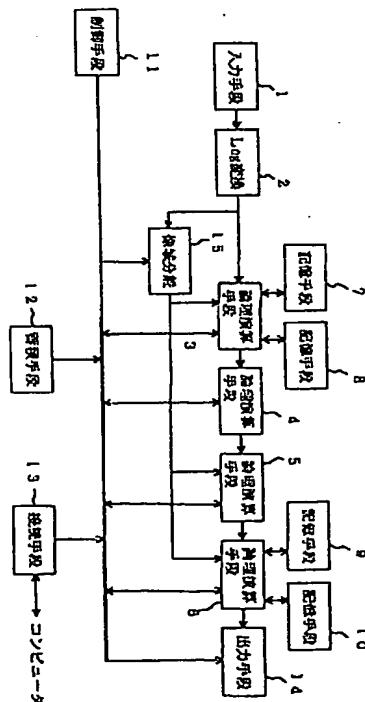
(74) 代理人 弁理士 鈴木 誠 (外1名)

## (54) 【発明の名称】 画像処理装置

## (57) 【要約】

【課題】 カラー複写機を構成する画像処理部の開発期間を短縮すると共に、内部論理の変更を容易にする。

【解決手段】 入力され、Log変換後の画像データを複数のバンドに分割して、記憶手段7、8に交互に書き込む。読み出すとき、各バンドの画像データを主走査方向に分割し、論理演算手段(FPGA)3～6は、各分割されたデータをパイプライン処理し、1バンド分のデータを記憶手段9から1バンド分のデータがプリンタに出力されると同時に、次のパイプライン処理された分割データが記憶手段10に書き出される。複写機を実現する場合には、蓄積手段12からフィルタ回路、色補正回路などを実現する論理情報を論理演算手段に設定する。



## 【特許請求の範囲】

【請求項1】 原稿を読み取り画像を入力する手段と、該入力手段によって得られた画像データを交互に書き込む第1、第2の記憶手段と、該第1、第2の記憶手段から前記画像データを主走査方向に分割して交互に読み出しバイオライン処理することにより、設定された論理演算を実行する手段と、該演算実行後の画像データを交互に書き込む第3、第4の記憶手段と、該第3、第4の記憶手段から交互に画像データを読み出し、前記分割前の画像データを出力する手段と、前記論理演算手段に設定するための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする画像処理装置。

【請求項2】 前記画像データを主走査方向に分割して交互に読み出すとき、前記分割された境界部分の所定数の画素を重複して読み出すことを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記第1、第2の記憶手段に交互に画像データを書き込むとき、所定数の画素を両方の記憶手段に重複して書き込むことを特徴とする請求項1記載の画像処理装置。

【請求項4】 コンピュータと接続手段を介して接続され、請求項1記載の入力手段から得られた画像データを前記コンピュータに出力するための所定の画像処理を実行する手段と、該実行後のデータを前記接続手段を介して前記コンピュータに出力する手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする画像処理装置。

【請求項5】 コンピュータと接続手段を介して接続され、該コンピュータから出力されたプリント出力用データに対して所定の画像処理を実行する手段と、該実行後のデータを出力する請求項1記載の出力手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする画像処理装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、画像処理装置に関し、特に、デジタルカラー複写機において、スキャナから入力した画像データをプリンタに出力するときに必要な画像処理を行い、またスキャナから入力した画像データをカラー複写機に接続したコンピュータに伝送するとき、あるいはコンピュータから伝送された画像データをプリンタに出力するときに必要な画像処理を行う画像処理装置に関する。

## 【0002】

【従来の技術】 カラー複写機などの画像処理装置において

て行われる画像処理は、通常、専用LSIによって実行される。例えば、像域分離機能などを専用LSIに組み込んだ画像処理装置（特開平8-307717号公報を参照）などを挙げることができる。このようなLSIの開発には相当の期間を要するのに対し、画像処理方法について種々の改善や変更が頻繁に行われるために、製品の寿命が短くなり、製品開発の効率も悪い。

【0003】 また、上記したカラー複写機を、ネットワークに接続されたコンピュータ用のスキャナやプリンタとしても使用されているが、この場合には、外付けの装置が必要になり、ハード量が多くなり、コストが増加する。

【0004】 そこで、ハード量を増やすことなく処理信号数を多くすることができる信号処理方法が提案されている（特開平3-320926号公報を参照）。この方法では、論理演算素子として内部論理が変更可能である素子を使用し、複数の画像処理用の回路を設けずに、論理演算素子の内部を適宜変更することによって、設定された論理演算を実行させ、ハード量を少なくするものである。

## 【0005】

【発明が解決しようとする課題】 しかしながら、カラー複写機やスキャナ、プリンタで処理される画像データ量は大量のデータ量であり、特に8ビット×5000ワード相当の容量を持つ多数のラインメモリが使用されていることから、上記した論理演算素子にラインメモリを内蔵することができない。このため、上記した信号処理方法は、大量の画像データを処理するカラー複写機などには適用が難しい。

【0006】 本発明は上記した背景を考慮してなされたもので、本発明の目的は、カラー複写機を構成する画像処理部の開発期間を短縮すると共に、内部論理の変更を容易にした画像処理装置を提供することにある。

【0007】 本発明の他の目的は、カラー複写機を、ネットワークに接続されたコンピュータ用のスキャナ、プリンタとして使用する場合に、外付けの装置を不要にした画像処理装置を提供することにある。

## 【0008】

【課題を解決するための手段】 前記目的を達成するためには、請求項1記載の発明では、原稿を読み取り画像を入力する手段と、該入力手段によって得られた画像データを交互に書き込む第1、第2の記憶手段と、該第1、第2の記憶手段から前記画像データを主走査方向に分割して交互に読み出しバイオライン処理することにより、設定された論理演算を実行する手段と、該演算実行後の画像データを交互に書き込む第3、第4の記憶手段と、該第3、第4の記憶手段から交互に画像データを読み出し、前記分割前の画像データを出力する手段と、前記論理演算手段に設定するための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴とする。

50 手段と、該蓄積手段から前記論理情報を読み出し、前記

実行手段に設定する手段とを備えたことを特徴としている。

【0009】請求項2記載の発明では、前記画像データを主走査方向に分割して交互に読み出すとき、前記分割された境界部分の所定数の画素を重複して読み出すことを特徴としている。

【0010】請求項3記載の発明では、前記第1、第2の記憶手段に交互に画像データを書き込むとき、所定数の画素を両方の記憶手段に重複して書き込むことを特徴としている。

【0011】請求項4記載の発明では、コンピュータと接続手段を介して接続され、請求項1記載の入力手段から得られた画像データを前記コンピュータに出力するための所定の画像処理を実行する手段と、該実行後のデータを前記接続手段を介して前記コンピュータに出力する手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴としている。

【0012】請求項5記載の発明では、コンピュータと接続手段を介して接続され、該コンピュータから出力されたプリント出力用データに対して所定の画像処理を実行する手段と、該実行後のデータを出力する請求項1記載の出力手段を備えた画像処理装置であって、前記画像処理を行うための所定の論理情報を蓄積する手段と、該蓄積手段から前記論理情報を読み出し、前記実行手段に設定する手段とを備えたことを特徴としている。

### 【0013】

【発明の実施の形態】以下、本発明の一実施例を図面を用いて具体的に説明する。図1は、本発明の実施例の構成を示す。入力手段1は、原稿を読み取って画像を入力する例えばスキャナである。Log変換手段2は、前掲した公報(特開平8-307717)に記載のLog変換回路に相当し、反射率リニアな信号を濃度リニアな信号に変換する。図6は、該公報の図1に示される画像処理装置の構成を示す。

【0014】論理演算手段3～6は、制御手段によって設定された内部の論理によって画像データを処理し、その内部論理は適宜、置き換える可能なFPGA(Field Programmable Gate Array)によって構成されている。記憶手段7～10は、画像データを一時的に記憶するRAMなどのバッファメモリである。制御手段11は、蓄積手段から論理情報を取り出し、論理演算手段3～6に入力して、内部論理を設定する、CPUコアおよびそれに関連するROMやRAMからなる。

【0015】蓄積手段12は、論理演算手段3～6に設定する複数の論理情報を蓄積するROMである。接続手段13は、コンピュータとのデータの入出力をを行うインターフェースである。出力手段14は、画像データ

を出力するプリンタである。像域分離手段15は、図6に示すエッジ分離回路、网点分離回路、色分離回路、記憶装置、マルチブレクサ、判定回路を1つの回路にまとめたものである。

【0016】本実施例では、論理演算手段3～6の内部論理を置き換えることにより、複写機、コンピュータ用スキャナ、コンピュータ用プリンタとして動作する。以下にそれぞれの場合の実施例を説明する。

【0017】(1)複写機としての実施例；一例として、図6に示すカラー複写機を実現する場合を説明する。図6におけるフィルタ回路(3)、色補正回路

(4)、UCR回路(5)、ディザ回路(6)を、本発明の論理演算手段3～6によって以下のように実現する。

【0018】例えば、フィルタ回路では、図7(a)、(b)に示されるようなフィルタ係数が使用される。この場合、通常、フィルタ回路は、図2に示すように原稿画像データの主走査方向の画素数を記憶できるラインメモリを使用して構成される。例えば、A4サイズの原稿の長手方向を主走査方向とし、400dpiの解像度で画像を読み込むと、1ラインは約5000画素からなる。従って、使用するラインメモリの容量は、1画素を8ビットデータとすると、8ビット×5000画素×2本×3色分=240000ビットとなる。

【0019】一方、論理演算手段3～6の一例として、プログラマブル・ロジックデータブック(1997-V3ザイリンクス株式会社)の4～6ページに示される最大規模のFPGA(XC4062XL)の内蔵可能なRAMの容量は、73728ビットであるため、複数個のFPGAを使用する必要があり、回路規模が増大し、コストが上昇する。

【0020】そこで、この問題を回避するために、本発明では、FPGAに内蔵可能な小容量のラインメモリを使用して画像処理を行う。一例として、ここでは、ラインメモリの記憶画素数を32とする。つまり、主走査方向の画素数が32の画像であるとして、バイオライン処理を行う。その結果、使用するラインメモリの容量は、8ビット×32画素×2本×3色分=1536ビットとなり、1個のFPGAに充分内蔵可能となる。

【0021】Log変換手段2から出力された画像データを、記憶手段7の容量以下(記憶手段7と8の容量は同じとする)の所定量で、図3に示すように副走査方向に分割し、それぞれをバンド1、バンド2、…、バンドn(nは2以上の整数)と呼ぶ。各バンドの画像データは、記憶手段7と8に交互に入力される。フィルタ演算時は、連続する3ライン上の5画素(合計15画素)にそれぞれの位置に対応した係数を掛けて加算する必要がある。したがって、スキャナ画像をバンクに分けた場合、その上端と下端で1ライン分の画像が不足する。この不足を補うため、図4に示すように、バンドi

( $i = 2 \cdots n - 1$ ) の画像データの先頭にバンド  $i - 1$  の最終ラインを追加し、バンド  $i$  の画像データの最後にバンド  $i + 1$  の先頭ラインを追加する。このように、記憶手段 7 と 8 で、画像データ入力を切り換える時に、2 ライン分の画像データを重複して入力する。

【0022】記憶手段 7 または 8 に入力された画像データは、図 5 に示すように、主走査方向の 32 画素毎に分割して出力する。まず、記憶手段の第 1 ラインの最初の 32 画素を出力した後、次に第 2 ラインの最初の 32 画素を出力する。以下同様にして、記憶手段に記憶された最終ラインの最初の 32 画素を出力する。

【0023】その後再び、第 1 ラインに戻り、次の 32 画素を出力する。バンド境界の 2 ライン分の画像データを重複したのと同様に、この時も、主走査方向の分割境界で画素を重複して出力する。フィルタ演算時は、注目画素の主走査方向の両側 2 画素が同時に必要であるため、既に出力した第 1 ラインの最初の 32 画素の後部の 4 画素を重複して 32 画素を出力する。以下同様にして、記憶手段内の最終ラインまで出力する。

【0024】このようにして、 $Log$  変換回路から出力された画像データを、一旦記憶手段に記憶し、主走査方向の画素数が 32 の画像に分割してパイプライン処理を行う。この時、主走査および副走査方向の分割境界の画素を重複させることにより、フィルタ演算処理が円滑に実行できる。

【0025】論理演算手段内部に内蔵できる小容量のラインメモリを使用したフィルタ回路、色補正回路、UCR 回路、ディザ回路によって処理された画像データは、記憶手段 9、10 に交互に入力される。入力が終了した記憶手段から、再び主走査方向が 5000 画素の画像としてプリンタに出力される。

【0026】このような工夫が施されたフィルタ回路、色補正回路、UCR 回路、ディザ回路を論理演算手段 3 ~ 6 で実現するための論理情報を予め蓄積手段 12 に蓄積しておく。

【0027】まず、論理演算手段 3 ~ 6 に、上記論理を制御手段 11 により設定する。次に、スキャナで原稿を読み取り、その出力画像データが  $Log$  変換され、記憶手段 7 に所定量が入力される。記憶手段 7 に画像データを入力し終える前に、所定の重複画素量が記憶手段 8 にも入力され、記憶手段 8 への画像データ入力を続行する。

【0028】記憶手段 8 への画像データ入力中に、記憶手段 7 に入力された画像データを主走査方向に分割して出力し、論理演算手段 3 ~ 6 によって所定のパイプライン処理がなされる。処理後の分割された画像データは、記憶手段 9 に入力され、1 バンド分のプリンタへの出力画像データが完成する。その後、再び主走査方向が 5000 画素の画像として記憶手段 9 からプリンタに出力する。同時に、記憶手段 10 へ、パイプライン処理後の分

割された画像データ入力が始まる。

【0029】このようにして、前記公報におけるカラー複写機と等価な回路を、内部論理が変更可能な論理演算手段 (FPGA) を一部使用して実現できる。以上、説明したようにして、図 1 の実施例は複写機として動作する。

【0030】(2) コンピュータ用スキャナとしての実施例；ここでは一例として、スキャナから出力された画像データに対してフィルタ回路の処理までを行って、接続されたコンピュータに出力する場合を説明する。

【0031】論理演算手段 3 には、前述した複写機 (1) の実施例と同様の論理を設定する。論理演算手段 4、5 には、画像データが内部を通過する論理を設定する。論理演算手段 6 には、論理演算手段 3 によって分割処理された画像データを記憶手段 9 と 10 に交互に入力し、再び主走査方向が 5000 画素の画像としてコンピュータに出力する論理を設定する。

【0032】論理演算手段 3 ~ 6 に上記論理を設定するための論理情報を予め蓄積手段 12 に蓄積しておく。制御手段 11 により上記論理情報を蓄積手段 12 から読み出し、論理演算手段 3 ~ 6 に上記論理を設定する。スキャナ 1 で原稿を読みとり、論理演算手段 3 ~ 6 により、上記画像処理が行われ、記憶手段 9 と 10 に交互に画像データが入力される。その後、記憶手段 9 又は 10 から接続手段 13 を介して、接続されたコンピュータに画像データを出力する。このようにして、図 1 の実施例はコンピュータ用スキャナとして動作する。

【0033】(3) コンピュータ用プリンタとしての実施例；ここでは一例として、トリケップス WS 13 3 ページプリンタコントローラ技術の p. 43 に記載されているようなページプリンタとして動作する場合を説明する。図 8 は、上記文献に示されるページプリンタの構成例である。

【0034】図 8 に示されるブロック図の内、画像処理に関する構成要素は、以下の通りである。

a. CPU 部：ページプリンタコントローラ全体を制御する。

b. フォント部：文字パターン用データを格納する。

c. 描画制御部：コンピュータから伝送されたプリント出力用データを画像データに変換し、メモリに記憶する。

【0035】また、図 8 に示されるエンジンインターフェース制御部は、ここに接続されるプリンタエンジンを制御し、画像データを出力する部分である。既に、本実施例が複写機として動作する場合に、各記憶手段からプリンタへ画像データを出力する機能が実現されているので、エンジンインターフェース制御部の説明は省略する。

【0036】CPU 部は、本実施例の制御手段 11 に相当する。フォント部を構成する文字パターンデータは、50 予め蓄積手段 12 に蓄積しておく。

【0037】論理演算手段4にグラフィック描画機能を持たせ、論理演算手段5に描画制御機能を持たせる。この時、両論理演算手段は、記憶手段7、8、9、10をフレームバッファとしてアクセスできるようにする。つまり、論理演算手段4から、論理演算手段3を経由して記憶手段7、8にデータをアクセスしたり、論理演算手段5、6を経由して記憶手段9、10にデータをアクセスできるようにする。また、論理演算手段5から、論理演算手段3、4を経由して記憶手段7、8にデータをアクセスしたり、論理演算手段6を経由して記憶手段9、10にデータをアクセスできるようにする。

【0038】さらに、論理演算手段3、6は、論理演算手段4、5の内部の上記のデータアクセス用経路を切り換えて使用して、記憶手段7、8、9、10内のデータをプリンタに出力する機能も備えている。上記の機能を論理演算手段3～6の内部に設定するための論理情報を蓄積手段12に蓄積しておく。

【0039】まず、制御手段11により上記の論理を論理演算手段3～6に設定する。次に、コンピュータから接続手段13を介して入力されたプリント出力用データを一旦、制御手段11内のRAMに入力する。制御手段11内のCPUがこのデータを識別し、文字コードであれば、対応する文字パターンを蓄積手段12内のフォント部から読み出し、論理演算手段4にデータを送る。論理演算手段4は、送られたデータを画像データとして記憶手段（フレームバッファ）に書き込む。RAM内のデータがラスタイムージデータであれば、論理演算手段4にデータを送り、論理演算手段4によってデータが復号化され、画像データが記憶手段（フレームバッファ）に書き込まれる。又、RAM内のデータが図形データであれば、論理演算手段5にデータを送り、そのコマンドをドット展開し、記憶手段（フレームバッファ）に書き込む。

【0040】このように、CPUがデータを識別し、該当する論理演算手段にデータを送った後は、論理演算手段が記憶手段に書き込む処理を行う。このようにして、1ページ分のプリント出力用データを処理した後、各記憶手段内の画像データをプリンタに出力する。以上に述べたようにして、図1の実施例はコンピュータ用プリンタとして動作する。

【0041】

【発明の効果】以上、説明したように、請求項1記載の発明によれば、内部論理を変更できる論理演算手段（FPGA）を使用しているため、専用LSIを使用するよりも開発期間が短縮され、論理変更が容易である。また、パイプライン処理部の一部をFPGAで実現しているため、全体をFPGAで構成するよりも、高価なFP

GAの使用個数を減らせるため、コスト上昇を抑えることができる。

【0042】請求項2記載の発明によれば、画像データの主走査方向の分割境界部分の画素を重複して出力しているので、主走査方向に連続する複数の画素を同時に処理するフィルタ演算を効率良く実行することができる。

【0043】請求項3記載の発明によれば、画像データの副走査方向の分割境界部分の画素を重複して記憶手段に入力しているので、副走査方向に連続する複数の画素を同時に処理するフィルタ演算を効率良く実行することができる。

【0044】請求項4記載の発明によれば、他のコンピュータとの接続手段を有し、読み取った原稿画像を処理して他のコンピュータに出力できるため、コンピュータ用のスキャナとして使用する場合に外付けの装置が不要になる。

【0045】請求項5記載の発明によれば、他のコンピュータとの接続手段を有し、論理演算手段に、コンピュータから出力されたプリント出力用データをプリンタに20出力するための画像処理論理を設定して、画像処理を行うので、コンピュータ用のプリンタとして使用する場合に外付けの装置が不要になる。

#### 【図面の簡単な説明】

【図1】本発明の実施例の構成を示す。

【図2】フィルタ回路の一部を構成するラインメモリを示す。

【図3】Log変換後の画像データをバンドに分割した図である。

【図4】バンドデータの記憶手段への書き出しを説明する図である。

【図5】バンドiの主走査方向の分割を説明する図である。

【図6】本発明が適用されるカラー複写機の構成例を示す。

【図7】(a)、(b)は、フィルタ回路例を示す。

【図8】本発明が適用されるページプリンタの構成例を示す。

#### 【符号の説明】

1 入力手段

2 Log変換手段

3、4、5、6 論理演算手段

7、8、9、10 記憶手段

11 制御手段

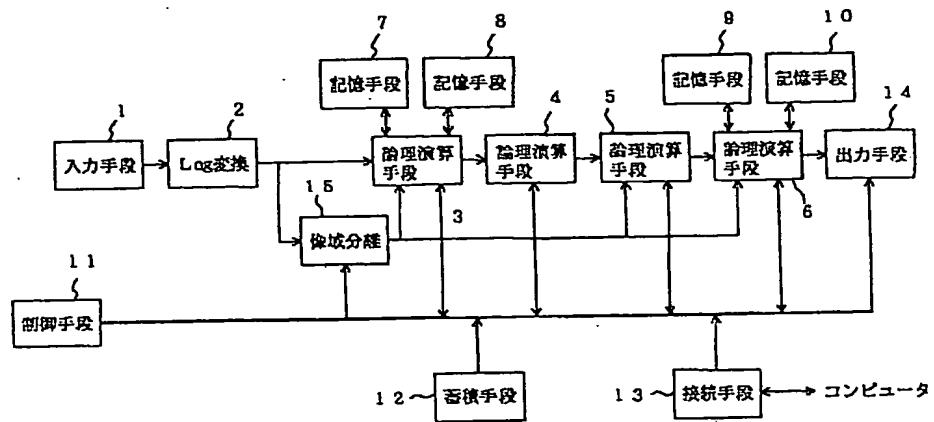
12 蓄積手段

13 接続手段

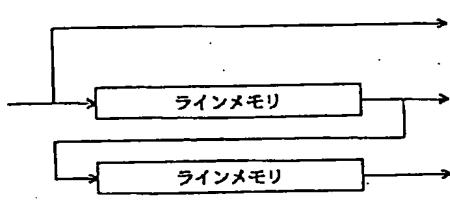
14 出力手段

15 像域分離手段

【図1】

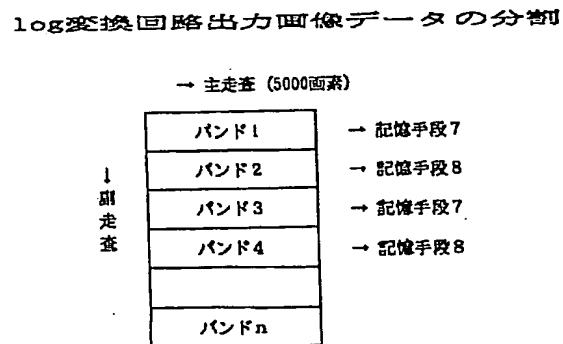


【図2】

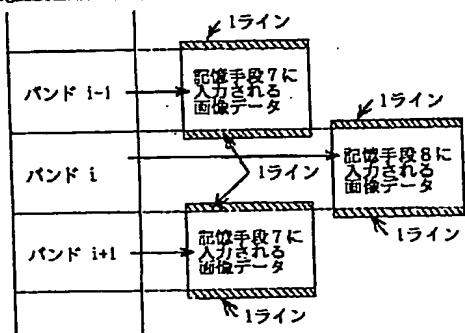


【図4】

【図3】

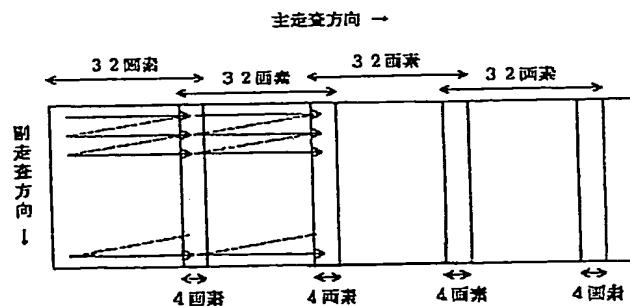


log変換回路出力画像

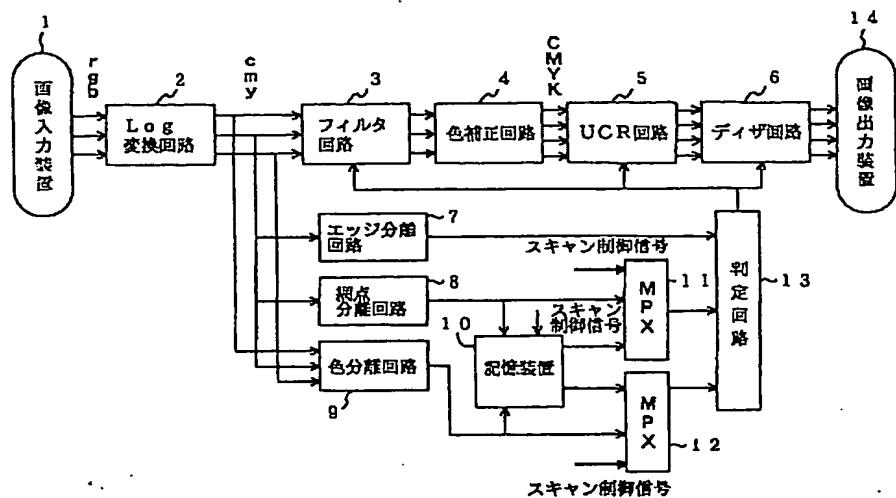


【図5】

ノマンドiの主走査方向の分割



【図6】



【図7】

(a)				
1	2	2	2	1
2	4	4	4	2
1	2	2	2	1

(b)				
0	-1	-4	-1	0
-2	-8	36	-8	-2
0	-1	-4	-1	0

【図8】

